



PLANO DE ENSINO DA DISCIPLINA DE TÓPICOS ESPECIAIS EM ARQUITETURA DE COMPUTADORES

1. IDENTIFICAÇÃO

Curso: Ciência da Computação

Componente Curricular: Tópicos Especiais em Arquitetura de Computadores

Período: Matutino

Fase: 6a (sexta)

Número de Créditos: 04 (quatro)

Carga horária: 60 horas (72 horas-aula)

Professor: Luciano Lores Caimi

Horário de atendimento: Sexta-feira das 10:20 às 11:30

Quinta-feira das 8:00 às 9:30

2. OBJETIVO GERAL DO CURSO

O curso tem por objetivo a formação integral de novos cientistas e profissionais da computação, os quais deverão possuir conhecimentos técnicos e científicos e serem capazes de aplicar estes conhecimentos, de forma inovadora e transformadora, nas diferentes áreas de conhecimento da Computação. Adicionalmente, os egressos do curso deverão ser capazes de adaptar-se às constantes mudanças tecnológicas e sociais, e ter uma formação ao mesmo tempo cidadã, interdisciplinar e profissional.

3. EMENTA

Modelos de sistemas digitais: unidade de controle e unidade de processamento. Modelo de um sistema de computação. Conceitos básicos de arquitetura: modo de endereçamento, tipo de dado e conjunto de instruções. Chamada de subrotina; Linguagem Assembly. RISC vs. CISC. Pipeline. Organização de memória. Tratamento de interrupções e exceções. Entrada e saída.

4. JUSTIFICATIVA

O componente Curricular Tópicos Especiais em Arquitetura de Computadores permite ao estudante conhecer de forma mais aprofundada o funcionamento interno de um sistema computacional, apresenta técnicas de paralelismo a nível de instrução e a nível de processo. Possibilita também a apresentação de conteúdos atualizados e novos conceitos da área.

5. OBJETIVOS:

5.1. GERAL

Conhecer os conceitos envolvidos na concepção da arquitetura e organização dos computadores, entendendo o conjunto de instruções, sua forma de implementação em hardware e sua programação.

5.2. ESPECIFICOS:

- ✓ Entender os tipos de arquitetura de conjunto de instruções;
- ✓ Entender o ciclo de instrução de um processador;
- ✓ Compreender os níveis de paralelismo computacional existentes;



- ✓ Entender os fatores que influenciam na performance computacional;
- ✓ Compreender a lei de Amdhal;
- ✓ Aprender as técnicas de implementação de arquiteturas pipeline e superescalares;
- ✓ Aprender a programar em assembly utilizando o conjunto de instruções de uma arquitetura a ser definida em conjunto com os alunos;
- ✓ Entender os gargalos de comunicação em arquiteturas baseada em barramentos;
- ✓ Entender o funcionamento de redes intra-chip (Network On Chip – NOCs);
- ✓ Aprender os algoritmos básicos de roteamento em redes intra-chip;
- ✓ Identificar os problemas em redes intra-chip;

6. CRONOGRAMA E CONTEÚDO PROGRAMÁTICO

Carga Horária	Conteúdo
2 ha	Apresentação do plano de ensino e contextualização da disciplina no curso e na vida profissional do cientista da computação.
20 ha	Conceitos de arquitetura de computadores e técnicas para aumento de desempenho em sistemas computacionais de propósito geral.
30 ha	Estudo do conjunto de instruções de um microprocessador e/ou microcontrolador com a implementação de programas em assembly .
20 ha	Estudo de Redes IntraChip (Network On Chips - NOCs)

7. PROCEDIMENTOS METODOLÓGICOS

Os aspectos mais relevantes relacionados ao conteúdo da disciplina serão expostos e discutidos nas aulas teóricas utilizando projetor multimídia e transparências preparadas pelo professor, apoiando-se no livro-texto adotado e na bibliografia complementar.

Para a primeira parte da disciplina serão apresentados artigos para os alunos, devendo os mesmos responder um conjunto de questões sobre cada um dos mesmos e posteriormente realizando discussões com toda a turma acerca do artigo lido.. Eventualmente poderá ser solicitado aos alunos a apresentação de seminários sobre determinado tema.

Na segunda parte da disciplina será escolhida uma arquitetura alvo (a ser escolhida pelos alunos entre a família de microcontroladores PIC ou um processador da família ARM). A partir da escolha será estudada a arquitetura e o conjunto de instruções da

mesma e então serão desenvolvidos programas em linguagem assembly.

Na parte final da disciplina serão estudados os conceitos e técnicas de implementação de redes intra-Chip (Network On Chip – NOC). Como metodologia serão apresentados artigos para os alunos, devendo os mesmos responder um conjunto de questões sobre cada um dos mesmos e posteriormente realizando discussões com toda a turma acerca do artigo lido. Eventualmente poderá ser solicitado aos alunos a apresentação de seminários sobre determinado tema.

8. AVALIAÇÃO DO PROCESSO ENSINO APRENDIZAGEM

Para primeira e terceira parte da disciplina a avaliação será feita através de questionários (Q) sobre cada um dos artigos apresentados na disciplina e também através da avaliação dos seminários apresentados pelos alunos.

Para a segunda parte da disciplina os alunos serão avaliados a partir dos implementações de programas em *assembly* da arquitetura alvo escolhida.

A média final (MF) será dada pela média aritmética de todas as avaliações realizadas, podendo o aluno descartar as duas menores notas obtidas.

9. RECUPERAÇÃO

Considerando que a disciplina será dividida em 3 grandes blocos de conteúdos, será ofertada reposição de conteúdo e avaliação aos estudantes que não obtiveram nota maior ou igual a 6,0 em qualquer dos 3 blocos de conteúdo. A reposição referente a cada bloco de conteúdo será realizada através de uma avaliação escrita.

10. REFERÊNCIAS

10.1 BÁSICAS:

- i. STALLINGS, W. Arquitetura e Organização de Computadores. São Paulo: Prentice Hall, 2002.
- ii. TANENBAUM, A. S.. Organização Estruturada de Computadores. Ed. Prentice / Hall do Brasil, 1992.
- iii. HENNESSY J. L.; PATTERSON, D. A. Arquitetura de Computadores – Uma Abordagem Quantitativa. Rio de Janeiro: Ed. Campus, 2003.
- iv. MONTEIRO, Mario A.. Introdução a Organização de Computadores. 3. ed.. Rio de Janeiro: LTC, 1996.
- v. MURDOCCA, Miles J.. Introdução a Arquitetura de Computadores. Rio de Janeiro: Campus, 2001.
- vi. HENNESSY, John L.. Organização e Projetos de Computadores :. 2. ed.. Rio de Janeiro: LTC, 2000.



10.2.COMPLEMENTARES

- i.ZUFFO, J.A. Fundamentos de Arquitetura e Organização de Microprocessadores. Edgard Blücher.
- ii.MALVINO, A.. Microcomputadores e Microprocessadores. Ed. McGraw-Hill do Brasil, 1985.
- iii.MELO, M. Eletrônica Digital. Makron Books.
- iv.BUYA, Rajkumar (Ed.). High Performance Cluster Computing: Programming and Applications. Prentice-Hall, 2v., 1999.