

PLANO DE ENSINO DA DISCIPLINA DE ORGANIZAÇÃO DE COMPUTADORES

1. IDENTIFICAÇÃO

Curso: Ciência da Computação
Período: Integral Fase: 3a (terceira)
Componente Curricular: Organização de Computadores
Número de Créditos: 04 (quatro)
Carga horária: 60 horas (72 horas-aula)
Professor: Luciano Lores Caimi

Ministério da Educação
Universidade Federal da Fronteira Sul
Roteiro para Plano de Ensino

2. OBJETIVO GERAL DO CURSO

O curso tem por objetivo a formação integral de novos cientistas e profissionais da computação, os quais deverão possuir conhecimentos técnicos e científicos e serem capazes de aplicar estes conhecimentos, de forma inovadora e transformadora, nas diferentes áreas de conhecimento da Computação. Adicionalmente, os egressos do curso deverão ser capazes de adaptar-se às constantes mudanças tecnológicas e sociais, e ter uma formação ao mesmo tempo cidadã, interdisciplinar e profissional.

3. EMENTA

Tendências tecnológicas na fabricação de CPUs e memórias. CPU: instruções e modos de endereçamento. Formatos de instruções e linguagem de montagem. Simulador e montador. Aritmética. Avaliação de desempenho. Datapath e unidade de controle. Alternativas de implementação (monociclo, multiciclo, pipeline, superescalar). Exceções e interrupções. Hazards estruturais, de dados e de controle. Hierarquia de memória e associatividade (cache e TLB). Dispositivos de entrada e saída: tipos, características e sua conexão à CPU e à memória. Comunicação com a CPU (polling, interrupção, DMA).

4. JUSTIFICATIVA

Os conceitos teóricos apresentados neste componente curricular são fundamentais para o entendimento dos sistemas computacionais, especialmente o funcionamento do processador, do subsistema de memória e do subsistema de Entrada e Saída.

5. OBJETIVOS:

5.1. GERAL

Conhecer os principais conceitos envolvidos na concepção da arquitetura e organização dos computadores, sabendo caracterizar e entender o funcionamento interno de um computador, dada uma certa arquitetura, reconhecendo o impacto de cada alternativa sobre fatores como desempenho e custo.

5.2. ESPECIFICOS:

- Entender o funcionamento do ciclo de instrução;
- Conhecer as tendências na evolução de processadores e memórias
- Entender o funcionamento do ciclo de instrução

- Entender os diferentes arquiteturas de conjunto de conjunto de instruções;
- Aprender a programar utilizando um conjunto de instruções específico;
- Aprender o caminho de dados e controle de uma CPU;
- Avaliar e discutir métricas de desempenho;
- Entender a hierarquia de memória;
- Aprender sobre a implementação de mecanismos de E/S.

6. CRONOGRAMA E CONTEÚDO PROGRAMÁTICO

Encontro	Conteúdo
Aula 01 (2 ha)	Introdução à disciplina; Apresentação do plano de ensino;
Aula 02 (3 ha)	Tendências tecnológicas da fabricação de memórias e processadores; Arquitetura Multinível;
Aula 03 (2 ha)	Arquitetura Multinível;
Aula 04 (3 ha)	Arquitetura Multinível; Arquitetura do conjunto de instruções;
Aula 05 (2 ha)	Arquitetura do conjunto de instruções; Exercícios;
Aula 06 (3 ha)	Arquitetura do conjunto de instruções;
Aula 07 (2 ha)	Conjunto de instruções do processador MIPS;
Aula 08 (3 ha)	Conjunto de instruções do processador MIPS;
Aula 09 (2 ha)	Programação Assembly; Simulador e Montador SPIM;
Aula 10 (3 ha)	Programação Assembly; Simulador e Montador SPIM;
Aula 11 (2 ha)	Datapath e unidade de controle: princípios básicos;
Aula 12 (3 ha)	Implementação do processador Monociclo;
Aula 13 (2 ha)	Implementação do processador Monociclo;
Aula 14	Implementação do processador Multiciclo;

(3 ha)	
Aula 15 (2 ha)	Implementação do processador Multiciclo;
Aula 16 (3 ha)	1ª Avaliação
Aula 17 (2 ha)	Implementação do processador Pipeline; Hazardz;
Aula 18 (3 ha)	Implementação do processador Pipeline;
Aula 19 (2 ha)	Implementação do processador Superescalar;
Aula 20 (2 ha)	Interrupções e exceções;
Aula 21 (3 ha)	Hierarquia de memória e associatividade;
Aula 22 (2 ha)	Hierarquia de memória e associatividade;
Aula 23 (3 ha)	Hierarquia de memória e associatividade;
Aula 24 (2 ha)	Dispositivos de entrada e saída;
Aula 25 (3 ha)	Métodos de implementação das operações de E/S: polling;
Aula 26 (2 ha)	Métodos de implementação das operações de E/S: interrupções;
Aula 27 (3 ha)	Métodos de implementação das operações de E/S: DMA;
Aula 28 (2 ha)	Avaliação de desempenho;
Aula 29 (3 ha)	2ª Avaliação
Aula 30 (2 ha)	Avaliação Substitutiva

A 1ª Avaliação será realizada no dia 17/04. A prova de recuperação será realizada na semana seguinte. A 2ª Avaliação será realizada no dia 12/06. A prova de recuperação será realizada no dia 19/06.

7. PROCEDIMENTOS METODOLÓGICOS

Os aspectos mais relevantes relacionados ao conteúdo da disciplina serão expostos e discutidos nas aulas teóricas utilizando projetor multimídia e transparências

preparadas pelo professor, apoiando-se no livro-texto adotado e na bibliografia complementar. Os conceitos apresentados serão ilustrados por meio de exemplos apresentados pelo professor e de exercícios que serão realizados pelos alunos e resolvidos pelo professor em sala de aula. Para a fixação destes conceitos, o professor indicará exercícios extra-classe, a serem resolvidos pelos alunos.

Os conceitos vistos nas aulas teóricas serão exercitados nas aulas de laboratório através da utilização de software de programação assembly e simulação de processadores.

Como instrumento metodológico adicional, será disponibilizada aos alunos uma faixa de horários semanais para atendimento extra-classe. Os horários de atendimento extra-classe serão as terças-feiras das 13:30h às 15:30h e as quintas-feiras das 15:00h às 16:30h. O estudante que desejar ser atendido fora destes horários deverá solicitar ao professor o agendamento por e-mail com antecedência de 24 horas.

Ao longo do semestre será utilizado o ambiente Moodle como ferramenta de apoio ao ensino presencial. No ambiente serão disponibilizados os materiais digitais a serem entregues aos estudantes tais como slides, textos de apoio, artigos. Será utilizado também o ambiente de chat e o fórum presente no ambiente para auxiliar a comunicação e a eliminação de dúvidas referente aos conteúdos ministrados.

8. AVALIAÇÃO DO PROCESSO ENSINO APRENDIZAGEM

Como mecanismos de avaliação serão utilizadas provas teóricas e trabalhos.

As avaliações serão agrupadas em dois momentos (conforme instrução normativa No. 001/Prograd/2010), Notas Parciais 1 e 2 (NP1 e NP2, respectivamente). A NP1 será composta por uma avaliação escrita (P1) e um trabalho (T1) com o seguinte cálculo:

$$NP1 = P1*0,6 + T1*0,4$$

A NP2 será composta por uma avaliação escrita (P2) e um trabalho (T2), seguindo o seguinte cálculo:

$$NP2 = P2*0,6 + T2*0,4$$

Desta forma, a média final (MF) será calculada como a média aritmética entre NP1 e NP2, ou seja:

$$MF=(NP1+NP2)/2$$

Será ofertada reposição de conteúdo e avaliação aos estudantes que não obtiveram média maior ou igual a 6,0 em uma das avaliações escritas. A reposição referente a cada uma das avaliações será realizada na semana seguinte a data da avaliação, conforme está previsto no conteúdo programático.

9. REFERÊNCIAS

9.1 BÁSICAS:

PATTERSON, David A.; HENNESSY, John L.. Organização e Projeto de Computadores.

Rio de Janeiro, RJ, Elsevier, 2005.

STALLINGS, William. Arquitetura e Organização de Computadores: projeto para o desempenho. 5a edição, São Paulo, SP, Prentice Hall, 2005.

TANENBAUM, Andrew S.. Organização Estruturada de Computadores. 5a edição, Rio de Janeiro, Prentice-Hall do Brasil, 2006.

9.2.COMPLEMENTARES

MURDOCCA, Miles J.. Introdução à Arquitetura de Computadores. Rio de Janeiro, Campus, 2001.

HENNESSY, John L.. Arquitetura de Computadores: uma abordagem quantitativa. Rio de Janeiro, Campus, 2003.

MANO, M.. Computer System Architecture. Englewood Cliffs, NJ, Prentice-Hall International, 1993.

HEURING, Vincent P.. Computer Systems Design and Architecture. 2a ed., Upper Saddle River, NJ, Pearson Prentice Hall, 2004.

HARRIS, David Money. Digital Design and Computer Architecture. Amsterdam, Elsevier, 2007.